

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(1A)

PAT-NO: JP407074167A
DOCUMENT-IDENTIFIER: JP 07074167 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: March 17, 1995

INVENTOR-INFORMATION:

NAME	COUNTRY
FUKUDA, KENJI	
ASO, HIROYOSHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KAWASAKI STEEL CORP N/A	

APPL-NO: JP05163013
APPL-DATE: June 30, 1993

INT-CL (IPC): H01L021/318 , H01L029/78

ABSTRACT:

PURPOSE: To provide a method of manufacturing a semiconductor device that has excellent electrical characteristics and has an improved hot carrier life, by optimizing the amount of hydrogen present in a gate oxide film to completely terminate dangling bonds present on the surface of the semiconductor substrate and to prevent the presence of excessive oxygen.

CONSTITUTION: Heat treatment is performed after the formation of desired elements on a silicon substrate 1 and before the formation of a silicon nitride film 21 as a protective film. The heat treatment is performed at a temperature between 350-450°C inclusive for a period between 10-130min inclusive. A mixed gas, composed of hydrogen and nitrogen, is used as an atmospheric gas with the hydrogen content between 5-20vol% inclusive.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-74167

(43)公開日 平成7年(1995)3月17日

(51)Int.Cl. ⁴	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/318 29/78	B	7352-4M 7514-4M	H 0 1 L 29/ 78	3 0 1 N

審査請求 未請求 請求項の数1 OL (全 9 頁)

(21)出願番号 特願平5-163013

(22)出願日 平成5年(1993)6月30日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 福田 憲司

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(72)発明者 麻生 浩由

東京都千代田区西幸町2丁目2番3号 川崎製鉄株式会社東京本社内

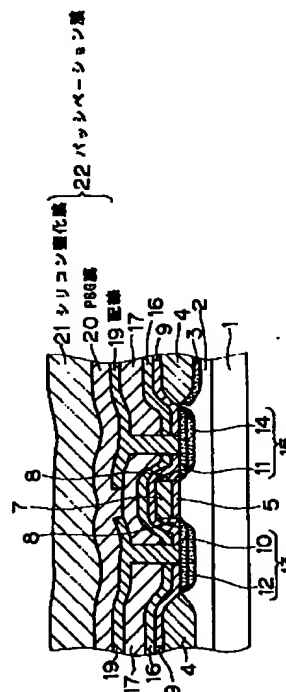
(74)代理人 弁理士 森 哲也 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 ゲート酸化膜中に存在する水素量を最適な値にすることで、半導体基板表面に存在するダングリングボンドを完全に終端させると共に、過剰な水素が存在することを防止し、優れた電気特性を備え且つホットキャリア寿命が向上した半導体装置を製造する方法を提供する。

【構成】 シリコン基板1上に、所望の素子を形成した後、保護膜としてシリコン窒化膜21を形成する前に、雰囲気ガスとして、水素と窒素からなり且つ水素を5体積%以上、20体積%以下の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行う。



【特許請求の範囲】

【請求項1】 保護膜の最上層がシリコン窒化膜からなる半導体装置の製造方法において、前記シリコン窒化膜を形成する前に、雰囲気ガスとして、水素と窒素からなり且つ当該水素を5体積%以上、20体積%以下の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係り、特に、電気特性及びホットキャリア耐性が向上された半導体装置の製造方法に関する。

【0002】

【従来の技術】従来から、半導体装置の微細化及び高集積化に伴い、半導体装置のゲート長が短くなってきている。このゲート長が短くなると、同じ書き込み電圧でも書き込み時のゲートの電界が極めて高くなり、そこを通るキャリアが高いエネルギーを得て、衝突電離が起こるようになる。これは、ホットキャリア現象と呼ばれ、MOS (Metal Oxide Semiconductor) トランジスタの特性劣化を引き起こしていた。

【0003】そこで、『IEEE Trans. Electron Devices ED VOL.27, No.8, p1359~1376 (August 1980) ; アイ・イー・イー・イー・イー・トランザクション エレクトロニクス ディバイス イー・ディー、27巻、ナンバー8、第1359~1376頁(1980年8月)』に、ソース領域及びドレイン領域の端部での空乏層内の電界を弱めることで、ホットキャリア現象を抑制するLDD構造を備えたMOS型トランジスタが紹介されている。

【0004】このLDD構造を備えたMOSTランジスタは、以下の方法で形成される。シリコン基板(半導体基板)上に、ゲート酸化膜を介してゲート電極を形成した後、当該ゲート電極をマスクとして、シリコン基板に低濃度の不純物をイオン注入し、ゲート電極下のソース領域及びドレイン領域に、低濃度不純物拡散層を形成する。

【0005】次に、前記ゲート電極の側面に、サイドウォールを形成した後、全面に、高濃度不純物拡散層形成のためのイオン注入用シリコン酸化膜として、熱酸化膜を形成する。次いで、この熱酸化膜を、後にソース領域及びドレイン領域に選択的に注入する高濃度の不純物のイオン注入用シリコン酸化膜とし、ゲート電極及びサイドウォールをマスクとして、シリコン基板に高濃度の不純物をイオン注入し、ゲート電極下のソース領域及びドレイン領域に、高濃度不純物拡散層を形成する。

【0006】次に、全面に、シリコン酸化膜を形成した後、さらにBPSG (Boron Phosphorus Silicate Glass) 膜を形成し、900℃、窒素ガス中でこれをリフロ

ーして、平坦化した後、全面にSOG (Spin on Glass) 膜を形成する。次いで、全面をエッチバックした後、所望位置にコンタクト孔を開口し、配線材料膜をスパッタして、前記コンタクト孔を埋め込むと共に、金属配線膜を形成する。

【0007】次に、金属配線膜をパターンニングし、全面に、PSG膜 (Phospho Silicate Glass ; リンを含んだシリコン酸化膜) をCVD法により形成した後、シリコン窒化膜からなる最終保護膜を形成して、MOS型半導体装置を完成する。このLDD構造を有するMOSTランジスタを備えた半導体装置は、ソース領域の端部及びドレイン領域の端部に、低濃度不純物拡散層が形成された構造を有している。そして、この低濃度不純物拡散層により、この部分での電場が弱められて、ホットキャリアの注入が抑制され、素子寿命が向上するという利点を備えている。

【0008】

【発明が解決しようとする課題】しかしながら、前記MOS型半導体装置は、ゲート酸化膜中に存在する水素の量が少ないと、半導体基板表面(半導体基板とゲート酸化膜との界面)に存在するダングリングボンド(未結合手)を完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらつくという問題があった。

【0009】一方、ゲート酸化膜中に存在する水素の量が多すぎると、半導体基板表面に存在するダングリングボンドを水素により完全に終端した後も、ゲート酸化膜中に過剰の水素が残留してしまう。そして、この残留した水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して半導体基板中の界面準位を増加させ、ホットキャリア寿命(ホットキャリア耐性)を低下させるという問題があった。

【0010】そして、特に、保護膜の最上層にプラズマ・シリコン窒化膜を形成した場合、当該プラズマ・シリコン窒化膜中に多量に存在している水素が、ゲート酸化膜中に供給され、この過剰の水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して、半導体基板中の界面準位を増加させ、ホットキャリア寿命を低下させるという報告が、『IEEE ED vol.28 p 83~94 (1981) ; アイ・イー・イー・イー・イー・ディー、28巻、第83~94頁(1981年)』において、Fair and Sunによって行われている。

【0011】本発明は、このような従来の問題点を解決することを課題とするものであり、ゲート酸化膜中に存在する水素量を最適な値にすることで、半導体基板とゲート酸化膜との界面に存在するダングリングボンドを完全に終端させると共に、過剰な水素が存在することを防止し、優れた電気特性を備え且つホットキャリア寿命が向上した半導体装置を製造する方法を提供することを目

的とする。

【0012】

【発明が解決しようとする課題】この目的を達成するために、本発明は、保護膜の最上層がシリコン窒化膜からなる半導体装置の製造方法において、前記シリコン窒化膜を形成する前に、雰囲気ガスとして、水素と窒素からなり、且つ当該水素を5体積%以上（すなわち、窒素が95体積%未満）且つ水素を20体積%以下（すなわち、窒素が80体積%を超える）の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分

【0013】

【作用】本発明に係る半導体装置の製造方法は、シリコン窒化膜を形成する前に、雰囲気ガスとして、水素と窒素からなり、且つ、当該水素を5体積%以上（すなわち、窒素が95体積%未満）且つ、水素を20体積%以下（すなわち、窒素が80体積%を超える）の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行うため、半導体基板とゲート酸化膜との界面に存在するダングリング

【0014】また、前記ダングリングボンドを全て終端し、且つゲート酸化膜中に存在する水素量を調整した後に、保護膜としてシリコン窒化膜を形成するため、このシリコン窒化膜が、外部からの水分の侵入を防止する。このため、前記ダングリングボンドと水素との関係は、半永久的に保持される。以下、前記数値の臨界的な意義について説明する。

『雰囲気ガスの水素含有量が、5体積%以上、20体積%以下』雰囲気ガスの水素含有量が5体積%未満であると、半導体基板表面に存在するダングリングボンドを水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついたり、相互コンダクタンス（Gm）が低下してしまう。このため、半導体装置の電気的特性が悪化してしまう。

【0015】一方、前記雰囲気ガスの水素含有量が20体積%を超えると、半導体基板表面に存在するダングリングボンドを水素により完全に終端した後に、不要な（過剰な）水素がゲート酸化膜中に存在し、この水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して半導体基板中の界面準位を増加させ、ホットキャリア寿命を低下させてしまう。

【0016】雰囲気ガスの水素含有量が、5体積%以上、20体積%以下であると、半導体基板表面に存在するダングリングボンドは、その後形成される保護膜の最

上層としてのシリコン窒化膜中に含有させる水素と合わせて完全に終端され、且つゲート酸化膜中に余分な水素が侵入することが防止される。従って、前記雰囲気ガスの水素濃度を、5体積%以上（窒素濃度が95体積%未満）且つ、雰囲気ガスの水素濃度を、20体積%以下（窒素濃度が80体積%を超える）の範囲に限定した。『熱処理温度が、350℃以上、450℃以下』前記熱処理温度が350℃未満であると、半導体基板表面に存在するダングリングボンドを、その後保護膜のシリコン窒化膜から供給される水素を合わせても完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついたり、相互コンダクタンス（Gm）が低下してしまう。このため、半導体装置の電気的特性が悪化してしまう。

【0017】一方、前記熱処理温度が450℃を超えると、ストレスマイグレーションにより、配線にボイドが発生して断線してしまうので、温度を450℃より高くすることはできない。熱処理温度が、350℃以上、450℃以下であると、半導体基板表面に存在するダングリングボンドは、水素により完全に終端され、且つゲート酸化膜中に余分な水素が存在することが防止される。さらに、ストレスマイグレーションによる配線の断線も発生しない。

【0018】従って、前記熱処理の温度を、350℃以上且つ450℃以下の範囲に限定した。

『熱処理時間が、10分以上、130分以下』前記熱処理時間が10分未満であると、半導体基板表面に存在するダングリングボンドを水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついたり、相互コンダクタンス（Gm）が低下してしまう。このため、半導体装置の電気的特性が悪化してしまう。また、熱処理の時間管理が困難となり、実用的でない。

【0019】一方、前記熱処理時間が130分を超えると、半導体基板表面に存在するダングリングボンドを水素により完全に終端した後に、不要な（過剰な）水素がゲート酸化膜中に存在し、この水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して半導体基板中の界面準位を増加させ、ホットキャリア寿命を低下させてしまう。また、熱処理時間が長すぎて生産性が大幅に低下してしまう。

【0020】熱処理時間が、10分以上、130分以下であると、半導体基板表面に存在するダングリングボンドは、水素により完全に終端され、且つゲート酸化膜中に余分な水素が存在することが防止される。従って、前記熱処理の時間を、10分以上且つ130分以下の範囲に限定した。

【0021】

5

【実施例】次に、本発明に係る一実施例について、図面を参照して説明する。図1ないし図8は、本発明の一実施例に係る半導体装置の製造工程の一部を示す部分断面図である。図1に示す工程では、p型シリコン基板1を酸化して、500Å程度のシリコン酸化膜を形成し、この上にシリコン窒化膜をCVD法により形成する。

【0022】次に、前記シリコン窒化膜をエッチングして、n型MOSトランジスタを形成するため、 $1.2 \times 10^{13} \text{ cm}^{-2}$ 程度のドーザ量のボロン(B)を注入してpウェル2を形成する。次に、前記p型シリコン基板1に熱処理を行い、Bを拡散してpウェル2領域を広げる。

【0023】次いで、前記シリコン酸化膜をエッチングして、パッド酸化膜を形成した後、この上にシリコン窒化膜をCVD法により形成する。次に、素子活性領域(トランジスタ形成領域)以外の領域に形成されたシリコン窒化膜を選択的に除去する。次いで、前記p型シリコン基板1の非活性領域に、選択的にチャネルストップイオンをイオン注入し、チャネルストップ3を形成する。

【0024】次に、前記素子活性領域上に形成されたシリコン窒化膜をマスクとして、前記p型シリコン基板1に熱酸化を行い、非活性領域に厚さ6000Å程度のフィールド酸化膜4を形成し、素子間分離を行う。その後、前記シリコン窒化膜を除去する。次いで、図2に示す工程では、図1に示す工程で得たp型シリコン基板1のチャネル領域に、しきい値調整用のフッ化ボロン(BF_2)を、 $3.3 \times 10^{12} \text{ cm}^{-2}$ 程度のドーザ量でイオン注入する。次に、パッド酸化膜を剥離後、p型シリコン基板1上に、ゲート酸化膜5を形成する。

【0025】次に、ゲート酸化膜5上に、ゲート電極形成材料として多結晶シリコン膜6をCVD法により形成する。次いで、多結晶シリコン膜6に、Pをドーピングして、多結晶シリコン膜6の抵抗を下げる。次に、図3に示す工程では、図2に示す工程で得た多結晶シリコン膜6を選択的にエッチングして、ゲート電極7を形成する。

【0026】次いで、ゲート電極7をマスクとして、pウェル2の全面に、 $2.0 \times 10^{13} \text{ cm}^{-2}$ 程度のドーザ量のPをイオン注入して、 n^+ 拡散層10及び n^- 拡散層11を形成する。次いで、図4に示す工程では、図3に示す工程で得たゲート電極7をマスクとして、ゲート酸化膜5にエッチングを行い、p型シリコン基板1のソース領域及びドレイン領域を露出する。

【0027】次に、CVD法により、全面にシリコン酸化膜を形成した後、 n^- 拡散層10及び n^- 拡散層11に対応するp型シリコン基板1表面が露出するまで、当該シリコン酸化膜をエッチバックして、ゲート電極7の側面にサイドウォール8を形成する。次いで、図5に示す工程では、図4に示す工程で得たウエハの全面に、後

6

に行う高濃度不純物拡散層を形成するための不純物イオン注入用のシリコン酸化膜9を形成する。

【0028】次に、図6に示す工程では、図5に示す工程で得たシリコン酸化膜9を、高濃度不純物拡散層(本実施例では、『 n^+ 拡散層』という)を形成するためのイオン注入用シリコン酸化膜とし、このシリコン酸化膜9を介すると共に、ゲート電極7及びサイドウォール8をマスクとして、pウェル2の全面に、 $3 \times 10^{15} \text{ cm}^{-2}$ 程度のドーザ量のヒ素(As)をイオン注入する。

【0029】このようにして、pウェル2に、 n^+ 拡散層12及び14を形成し、 n^- 拡散層10及び n^+ 拡散層12からなるソース13、 n^- 拡散層11及び n^+ 拡散層14からなるドレイン15を形成した。次に、図7に示す工程では、シリコン酸化膜9上に、低温でシリコン酸化膜16を形成する。

【0030】次いで、シリコン酸化膜16上に、BPSG膜17を形成した後、900℃で15分間の熱処理を行い、BPSG膜17の平坦化を行う。次に、BPSG膜17、シリコン酸化膜16及びシリコン酸化膜9を選択的にエッチングし、トランジスタへのコンタクト孔18を開く。次いで、図8に示す工程では、図7に示す工程で得たウエハの全面に、スパッタ法により、コンタクト孔18内に、アルミニウム(A1)合金を埋め込むと共に、アルミニウム(A1)合金からなる金属配線膜を形成する。

【0031】次に、前記金属配線膜にパターニングを行い、配線19を形成した後、全面にCVD法により、PSG膜20を形成する。次いで、PSG膜20が形成されたウエハに、雰囲気ガスとして、水素と窒素からなり、且つ、水素を5体積%以上(すなわち、窒素が95体積%未満)、且つ、水素を20体積%以下(すなわち、窒素が80体積%を超える)の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行う。

【0032】この工程により、供給される水素と、最上層に形成されるシリコン窒化膜から供給される水素により、pウェル2とゲート酸化膜5との界面に存在していたダングリングボンドの全てが、完全に終端される。従って、優れた相互コンダクタンス(Gm)が得られ、また、安定したしきい値電圧を得ることができる。また、ダングリングボンドの全てが終端した後、ゲート酸化膜5中に余分な水素が存在することを防止することができる。従って、残留した余分な水素が、トランジスタの作動中に発生する高エネルギーを持ったキャリアと反応して半導体基板中の界面準位を増加させるという従来の問題が発生することがない。このため、ホットキャリア寿命を向上することができる。

【0033】次いで、この熱処理を終了した後、PSG膜20上に、シリコン窒化膜21を形成する。次に、このシリコン窒化膜21にエッチングを行い、膜厚を調整

し、PSG膜20及びシリコン窒化膜21からなる所定膜厚のパッシベーション膜22を形成する。このようにして、LDD構造を有するn型MOSTランジスタを備えた半導体装置を得た。

【0034】なお、本実施例では、LDD構造を有するn型MOSTランジスタを備えた半導体装置を製造したが、これに限らず、本発明は、LDD構造を備えていない通常のMOSTランジスタについても応用可能であることは勿論である。また、n型MOSTランジスタに係わらず、p型MOSTランジスタについても応用可能であることは勿論である。この時は、B等のp型不純物をイオン注入すればよい。

【0035】さらに、本発明は、同一基板上にn型MOSTランジスタとp型MOSTランジスタとを備えた相補性MOSTランジスタや、その他の構造を備えた半導体装置についても応用可能であることは勿論である。また、本実施例では、図3に示す工程で、不純物として、Pをイオン注入したが、これに限らず、As等、他のn型不純物をイオン注入してもよい。

【0036】そして、本実施例では、図6に示す工程で、不純物として、Asをイオン注入したが、これに限らず、P等、他のn型不純物をイオン注入してもよい。そしてまた、本実施例では、図8に示す工程で、PSG膜20及びシリコン窒化膜21からなる二層構造を備えたパッシベーション膜22を形成したが、これに限らず、パッシベーション膜22は、最上層にシリコン窒化膜21が形成されていれば、三層以上の構造としてもよい*
(熱処理温度=350℃)

熱 処 理 時 間	5 分	10 分	130 分	150 分
2 体積%	×	×	×	×
5 体積%	×	16.3 年	13.5 年	8.7 年
20 体積%	×	13.4 年	12.1 年	7.4 年
25 体積%	7.3 年	5.4 年	3.6 年	2.2 年

【0041】表1から、熱処理温度が350℃であって、水素含有量(体積%)が、5体積%以上、20体積%以下である雰囲気ガスを使用し、10分以上、130分以下の熱処理を行った半導体装置(本発明に係る半導体装置)は、ホットキャリア寿命が10年以上であり、実際の使用に十分に耐えられることが確認された。ここで、実際の使用に耐えるには、10年以上のホットキャリア寿命が必要であることは、公知である。

【0042】これは、p型シリコン基板1表面に存在するダングリングボンドが、本発明により、水素により完全に終端され、この終端後に、ゲート酸化膜5中に余分な水分が外部から侵入することが防止されたためである。一方、雰囲気ガスの水素含有量(体積%)が、5体

*い。また、所望により、シリコン窒化膜21だけで構成してもよい。

【0037】そしてまた、本実施例は、一実施例であり、不純物のイオン注入時におけるイオン注入量やエネルギー量、各種素子のサイズ等は、これに限定されるものではない。次に、前記実施例と同様の工程で、図8に示す工程にて、熱処理温度を350℃として行い、この温度に於ける熱処理の雰囲気ガスの水素濃度(体積%)及び熱処理時間を、表1に示す条件として行った。ゲート長=0.5μm、ゲート幅=15μmの半導体装置を製造した。

【0038】次に、この熱処理が行われた半導体装置のホットキャリア寿命を以下に示す方法で調査した。各種熱処理を行って製造したそれぞれの半導体装置に、DCストレスを一定時間印加した後、Vd=0.1Vで、相互コンダクタンス(Gm)を測定して、その最大値を求め、このGmの最大値が、無負荷時の値の90%になるまでのDCストレスの印加時間を測定することで、ホットキャリア寿命を算出した。

20 【0039】次いで、各DCストレスにおける電圧でのホットキャリア寿命と、DCストレス電圧の逆数との関係から、実動作電圧である3.6Vでのホットキャリア寿命を算出した。この結果を表1に示す。なお、表中の記号「×」は、トランジスタが正常な動作を行わなかったことを示す。

【0040】

【表1】

※積%未満であると、熱処理時間が、10分以上、130分以下の条件を満たしていても、トランジスタが正常な動作を行わなかったことが確認された。

【0043】これは、p型シリコン基板1表面に存在するダングリングボンドを、水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついてしまうからである。次に、前記実施例と同様の工程で、図8に示す工程にて、熱処理温度を450℃として行い、この温度に於ける熱処理の雰囲気ガスの水素濃度(体積%)及び熱処理時間を、表1に示す条件として行った。ゲート長=0.5μm、ゲート幅=15μmの半導体装置を製造した。

【0044】次に、この熱処理が行われた半導体装置のホットキャリア寿命を前記と同様の方法で調査した。この結果を表2に示す。

(熱処理温度=450℃)

熱 処 理 時 間	5 分	10 分	130 分	150 分
2 体積%	×	×	×	×
5 体積%	×	15.5 年	12.5 年	4.3 年
20 体積%	×	12.5 年	11.3 年	2.8 年
25 体積%	6.4 年	4.3 年	2.5 年	1.5 年

【0046】表2から、熱処理温度が450℃であって、水素含有量(体積%)が、5体積%以上、20体積%以下である雰囲気ガスを使用し、10分以上、130分以下の熱処理を行った半導体装置(本発明に係る半導体装置)は、熱処理温度が350℃の半導体装置(表1の結果)と比べ、若干ホットキャリア寿命が低下するものの、ホットキャリア寿命が10年以上であり、実際の、20使用に十分に耐えられることが確認された。

【0047】これも、p型シリコン基板1表面に存在するダングリングボンドが、水素により完全に終端され、この終端後に、ゲート酸化膜5中に、余分な水分が外部から侵入して水素になることが防止されたためである。一方、雰囲気ガスの水素含有量(体積%)が、5体積%未満であると、熱処理時間が、10分以上且つ130分以下の条件を満たしていても、トランジスタが正常な動作を行わなかったことが確認された。

(熱処理温度=300℃)

熱 処 理 時 間	5 分	10 分	130 分	150 分
2 体積%	×	×	×	×
5 体積%	×	×	×	×
20 体積%	×	×	×	×
25 体積%	×	×	×	×

【0051】表3から、300℃にて熱処理を行った半導体装置は、雰囲気ガスの水素濃度が、5体積%以上且つ20体積%以下、熱処理時間が、10分以上且つ130分以下、の条件を満たしていても、トランジスタが正常な動作を行わなかったことが確認された。これは、熱処理温度が必要以上に低いと、pウェル2とゲート酸化膜5との界面に存在するダングリングボンドを水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧が大きくなり、正常な動作を★

*【0045】

【表2】

*

※【0048】これも、pウェル2とゲート酸化膜5との界面に存在するダングリングボンドを、水素により完全に終端することができず、トランジスタの作動中に、この終端していないダングリングボンドに電子がトラップされ、しきい値電圧がばらついてしまうからである。次に、前記実施例と同様の工程で、図8に示す工程にて、熱処理温度を300℃として行い、この温度に於ける熱処理の雰囲気ガスの水素濃度(体積%)及び熱処理時間を、表1に示す条件として行った。ゲート長=0.5μm、ゲート幅=15μmの半導体装置を製造した。

【0049】次に、この熱処理が行われた半導体装置のホットキャリア寿命を前記と同様の方法で調査した。この結果を表3に示す。

【0050】

【表3】

40★しなくなるからである。

【0052】次に、前記実施例と同様の工程で、図8に示す工程にて、熱処理温度を500℃として行い、この温度に於ける熱処理の雰囲気ガスの水素濃度(体積%)及び熱処理時間を、表1に示す条件として行った。ゲート長=0.5μm、ゲート幅=15μmの半導体装置を製造した。次に、この熱処理が行われた半導体装置の結果を表4に示す。

【0053】

【表4】

11
(熱処理温度=500℃)

12

熱 処 理 時 間	5 分	10 分	130 分	150 分
2 体積%	×	×	×	×
5 体積%	×	×	×	×
20 体積%	×	×	×	×
25 体積%	×	×	×	×

【0054】表4から、500℃にて熱処理を行った半導体装置は、配線が断線してしまい、トランジスタが正常な動作を行わなかったことが確認された。これは、熱処理温度が必要以上に高いと、ストレスマイグレーションにより、ボイドが発生するためである。以上、表1ないし表4の結果から、10年以上の長いホットキャリア寿命を備え且つ電気的特性に優れた半導体装置を製造するには、シリコン窒化膜21を形成する前に、雰囲気ガスとして、水素と窒素からなり且つ当該水素を5体積%以上、20体積%以下の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行うことが必要であることが立証された。

【0055】

【発明の効果】以上説明したように、本発明に係る半導体装置の製造方法によれば、シリコン窒化膜を形成する前に、雰囲気ガスとして、水素と窒素からなり且つ当該水素を5体積%以上、20体積%以下の範囲で含む混合ガスを用い、350℃以上、450℃以下の温度で、10分以上、130分以下の熱処理を行うため、半導体基板表面に存在するダングリングボンドの全てを、保護膜の最上層としてシリコン窒化膜中に含まれる水素と合わせて完全に終端することができる。このため、優れた相互コンダクタンスが得られると共に、安定したしきい値電圧を得ることができる。

【0056】さらに、前記ダングリングボンドを全て終端した後、保護膜としてシリコン窒化膜を形成することで、シリコン窒化膜は、外部からの水分の侵入を防止するため、水分が分解して水素量が増加することがない。このため、前記ダングリングボンドと水素との関係は、半永久的に保持することができる。この結果、優れた電気特性を備え且つホットキャリア寿命が向上した半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図2】本発明の一実施例にかかる半導体装置の製造工*

*程の一部を示す部分断面図である。

【図3】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図4】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図5】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図6】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

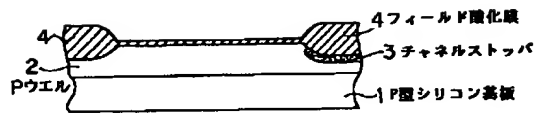
【図7】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

【図8】本発明の一実施例にかかる半導体装置の製造工程の一部を示す部分断面図である。

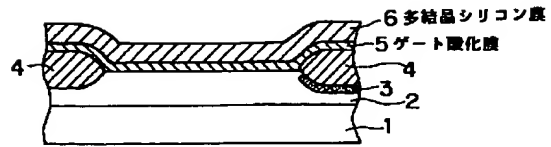
【符号の説明】

- 1 シリコン基板
- 2 pウェル
- 3 チャネルストッパ
- 4 フィールド酸化膜
- 5 ゲート酸化膜
- 6 多結晶シリコン膜
- 7 ゲート電極
- 8 サイドウォール
- 9 シリコン酸化膜
- 10 n⁻ 拡散層
- 11 n⁻ 拡散層
- 12 n⁺ 拡散層
- 13 ソース
- 14 n⁺ 拡散層
- 15 ドレイン
- 16 シリコン酸化膜
- 17 BPSG膜
- 18 コンタクト孔
- 19 配線
- 20 PSG膜
- 21 シリコン窒化膜
- 22 パッシベーション膜

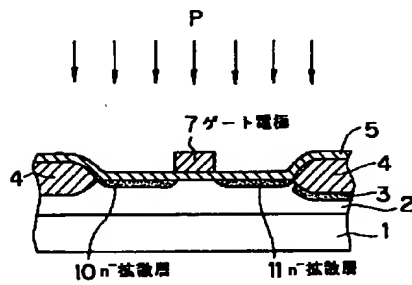
【図1】



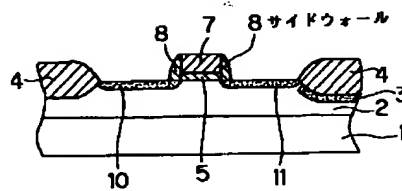
【図2】



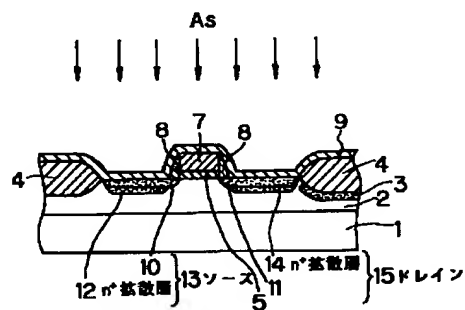
【図3】



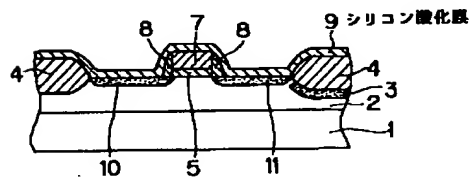
【図4】



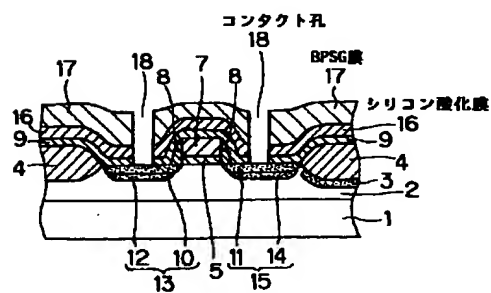
【図6】



【図5】



【図7】



【図8】

